

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-044273

(43) Date of publication of application : 16.02.2001

(51) Int.CI. H01L 21/76
H01L 21/316

(21) Application number : 11-212341 (71) Applicant : NEC CORP

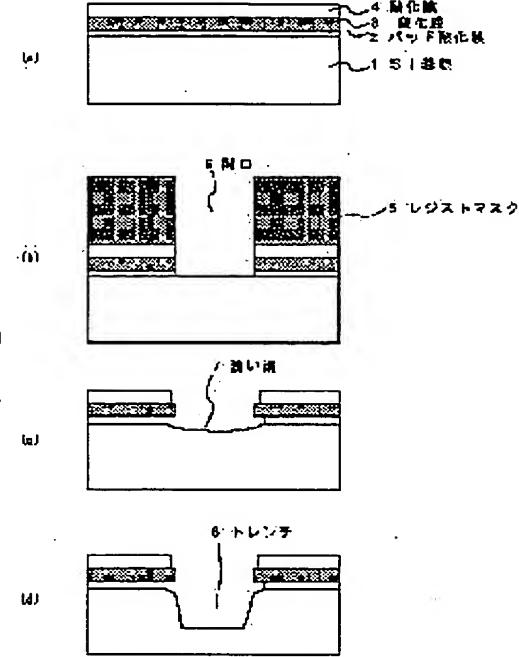
(22) Date of filing : 27.07.1999 (72) Inventor : KOBAYASHI KEN

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device having a trench formation process, where generating of a dislocation loop due to a facet seen in a high-temperature dry oxidation is suppressed to prevent deterioration of the electrical characteristics of a transistor and at the same time, increase in the leakage current in a transistor due to the hump of an STI (Shallow trench isolation) due to the fact that the form of the edge part of a trench cannot be made fully round in wet oxidation and a deterioration of the on-off characteristics of the transistor can be prevented.

SOLUTION: A pad oxide film 2, a nitride film 3 and an oxide film 4 are laminated in the order on a silicon substrate 1, and after an aperture 6 is formed, the film 2 is side-etched and the substrate 1 is subjected to isotropic etching, using the side-etched film 2 as a mask to form a shallow groove 7. Moreover, a trench 8 is formed using the film 4 as a mask, the interior of the trench 8 is subjected to wet oxidation to form a thermal oxide film, an insulator film is embedded in the trench 8, and the surface of the insulator film is planarized to form a trench element isolation.



LEGAL STATUS

[Date of request for examination] 20.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-44273
(P2001-44273A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl.⁷
H 0 1 L 21/76
21/316

識別記号

F I
H 0 1 L 21/76
21/316

テ-マコ-ト⁸ (参考)
N 5 F 0 3 2
S 5 F 0 5 8

審査請求 有 請求項の数9 O L (全7頁)

(21)出願番号 特願平11-212341

(22)出願日 平成11年7月27日 (1999.7.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 研

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088328

弁理士 金田 幹之 (外2名)

Fターム (参考) 5F032 AA36 AA45 DA03 DA04 DA23

DA24 DA25 DA26 DA33 DA53

DA78

5F058 BA06 BA09 BA20 BC02 BF55

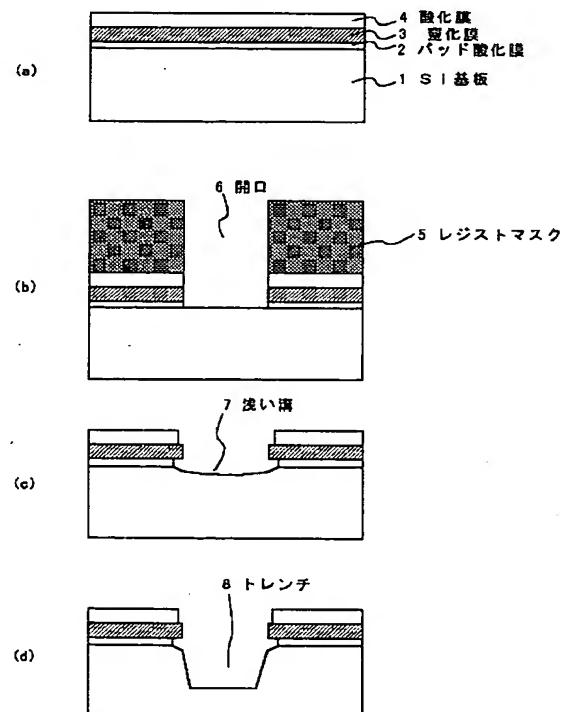
BF63 BJ01 BJ06

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 高温のドライ酸化にみられるような上記ファセットによる転位ループの発生を抑制して電気特性の悪化を防止すると共に、従来のウェット酸化ではトレンチ縁部の形状が十分丸くできないことに起因するS T Iのハンプによるトランジスタのリーク電流の増加およびオン・オフ特性の劣化を防止することのできるトレンチ形成工程を有する半導体装置の製造方法を提供する。

【解決手段】 シリコン基板1上に順次パッド酸化膜2、窒化膜3、酸化膜4を積層し、開口6を形成した後、パッド酸化膜2をサイドエッチし、サイドエッチされたパッド酸化膜2をマスクにシリコン基板1を等方性エッティングして深い溝7を形成し、酸化膜4をマスクにトレンチ8を形成し、トレンチ内をウェット酸化して熱酸化膜9を形成し、トレンチ内に絶縁物を埋め込み、平坦化してトレンチ素子分離を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に、パッド酸化膜、シリコン窒化膜を順次成膜する工程、シリコン窒化膜上にレジストを塗布し、トレンチ形成のためのパターンを形成する工程、形成されたレジストパターンをマスクとして、シリコン窒化膜、パッド酸化膜を順次エッチングして、開口を形成する工程、該開口部内に露出したパッド酸化膜をウェットエッチングによりサイドエッチングし、更に開口部底に露出した半導体基板表面を等方性エッチングして半導体基板表面に浅い溝を形成する工程、シリコン基板を異方性エッチングして、深い溝を形成する工程、該溝内に低温のウェット酸化により熱酸化膜を形成する工程、前記溝を埋めるように全面に絶縁物を堆積する工程、前記シリコン窒化膜をトップとして絶縁物をCMP研磨して平坦化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体基板の等方性エッチングをドライ条件で行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記半導体基板の等方性エッチングをアンモニア及び過酸化水素を用いたウェットエッチングにて行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記半導体基板の異方性エッチングをレジストパターンをマスクに行うことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】 前記半導体基板の異方性エッチングをシリコン窒化膜をマスクに行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 前記シリコン窒化膜上に更にシリコン酸化膜を形成し、開口を形成した後、半導体基板の異方性エッチングを該シリコン酸化膜をマスクに行うことを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【請求項7】 前記パッド酸化膜のサイドエッチングをフッ酸系溶液を用いて行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項8】 前記パッド酸化膜のサイドエッチング量は、50～300Åの範囲であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項9】 前記半導体基板に形成した溝内のウェット酸化を800℃以上1000℃未満の温度条件で行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特にトレンチ素子分離領域の形成方法に関する。

【0002】

【従来の技術】 半導体素子の微細化や高速化を図る上で、素子分離の間隔を狭めることが必要になっている。従来、素子分離領域を形成する方法としては、LOCOS法が一般的であったが、このような微細化の要求には十分対応できない。そこで、このLOCOS法に代わる方法として、最近、STI(Shallow Trench Isolation)が注目されている。

【0003】 従来のSTIでは、シリコン基板などの半導体基板上に薄いパッド酸化膜、窒化膜を積層し、フォトリソグラフィー法により素子分離する領域を開口したレジストマスクを形成し、これをマスクに窒化膜、パッド酸化膜、半導体基板を異方性エッチングして、溝(トレンチ)を形成し、レジストマスクを除去した後、絶縁性物質を全面に堆積し、窒化膜をトップとして化学機械研磨(Chemical Mechanical Polishing: CMP)により、前記トレンチに絶縁物質を埋め込んで素子分離を形成していた。

【0004】 トレンチ内に絶縁物を埋め込む際に、トレンチ形成の際のエッチングダメージを解消する目的でトレンチ内壁を熱酸化することが一般的に行われている。

【0005】 このようなトレンチ素子分離を用いた半導体装置では、トレンチ素子分離領域に接してトランジスタなどが形成されるが、この時、トレンチ縁部の形状が鋭角であると、その部分で電界集中を起こし、トランジスタの閾値特性が悪化するという問題がある。つまり、図5(a)に示すように、トレンチ素子分離で区画された素子領域52において、ゲート電極51はトレンチ素子分離領域にも架かって形成されるが、そのとき、トレンチ縁部に隣接してサブチャネル53が形成され、メインのチャネルとサブチャネルとのゲート電圧に対するドレイン電流特性が異なることから、図5(b)に示すように通常の閾値電圧を有するメインのチャネルと活性領域の縁部に寄生する相対的に低い閾値電圧を有するサブチャネルによって前記トランジスタは、動作中に閾値電圧が変化するようになり、サブチャネルによる閾値領域で電流のハンプ現象を起こす。従って、トランジスタのリーク電流の増加およびオン・オフ特性の劣化を招く。このような問題点は、素子のチャネル幅が狭くなるほど、即ち、集積度が高くなるほど顕著になる。

【0006】 そこで、従来、このようなSTIにおけるハンプの発生を防止するため、トレンチ縁部を丸める方法が提案されている。通常、トレンチ縁部を丸めるには、上記のトレンチ内部の熱酸化を高温で行う方法が採られていた。

【0007】 しかしながら、図3に示すように、半導体基板として通常使用されている(111)シリコン基板31を用いた場合、高温(1100℃程度)での熱酸化ではトレンチ底の角部に<111>面の結晶面33(ファセット)が出現し、熱酸化膜の応力によって転位が発生してしまう。これが転位ループ32として後工程で形

成されるトランジスタのソース・ドレイン領域まで達し、電気特性が悪化するという問題がある。

【0008】一方、ウェット酸化はドライ酸化と比較して酸化膜成長速度が速く、所望の膜厚の熱酸化膜を得るに際しては、酸化時間が同じであれば、より低温での熱酸化が可能である。低温のウェット酸化ではファセットは発生しにくくなるが、図4に示すように、膜厚の均一性がドライ酸化と比較してやや劣っており、またトレンチ縁部41を十分に丸めることができず、上記のハンプ発生を防止することができない。

【0009】ところで、特開平11-135608号公報、同11-135609号公報、同11-135610号公報には、トレンチ形成時の異方性エッティングによるシリコン基板へのダメージを素子形成領域から遠ざけるために、開口に露出した半導体基板を等方的にエッティングして、異方性エッティングのハードマスクとなるシリコン酸化膜を底状に張り出させ、これを用いて異方性エッティングしてトレンチを形成する方法が提案されている。例えば、特開平11-135608号公報を例に説明すると、まず、図6(a)に示すように、Si基板1などの半導体基板上に薄いパッド酸化膜2を熱酸化法などにより形成し、続いて、シリコン塗化膜3をLPCVD法などにより所望の厚みに形成する。更にその上にシリコン酸化膜4をLPCVD法などにより1000~2000Å程度の厚みに形成する。続いて、レジストを塗布し、通常のフォトリソ工程により素子分離を形成する部分を開口するようにレジストマスク5を形成し、これをマスクに酸化膜4をドライエッティングする。レジストマスクを除去した後、パターン化された酸化膜4をマスクに塗化膜3、パッド酸化膜を順次ドライエッティングし、更に、露出したシリコン基板表面を浅く(300~1000Å)ドライエッティングして開口6'を形成する(図6(b))。続いて露出したSi基板1表面を熱酸化し、100~200Åの熱酸化膜11を形成し(図6(c))、該熱酸化膜11を除去して、浅い溝7'を形成すると共に、シリコン塗化膜及びシリコン酸化膜を底状に張り出させておく(図6(d))。前記酸化膜4をマスクに露出したSi基板1表面をドライエッティングして2000~4000Å程度のトレンチ8を形成する(図7(a))。この後、トレンチ内部を900℃以上のドライ酸化或いは800℃以上のウェット酸化により熱酸化して、100~200Åの熱酸化膜9を形成し(図7(b))、CVD法により全面に厚いCVD酸化膜10を堆積し(図7(c))、塗化膜3をストップとして化学機械研磨(CMP)法にてCVD酸化膜10を研磨する(図7(d))ことでトレンチ素子分離を形成する方法である。

【0010】しかしながら、これらの従来技術では、前記のハンプや、ファセットの問題について言及されていない。

【0011】

【発明が解決しようとする課題】本発明の目的は、高温のドライ酸化にみられるような上記ファセットによる転位ループの発生を抑制して電気特性の悪化を防止すると共に、従来のウェット酸化ではトレンチ縁部の形状が十分丸くできないことに起因するSTIのハンプによるトランジスタのリーク電流の増加およびオン・オフ特性の劣化を防止することのできるトレンチ形成工程を有する半導体装置の製造方法を提供するものである。

【0012】

【課題を解決するための手段】本発明者は、上記課題を解決するべく鋭意検討した結果、トレンチ縁部に当たる部分を予め等方性エッティングで除去しておき、その後異方性エッティングでトレンチを形成しておくことで、その後の低温でのウェット熱酸化によってもトレンチ縁部を丸くすることができ、低温熱酸化であるためにファセットの発生を防止できることを見出した。

【0013】すなわち、本発明は、半導体基板上に、パッド酸化膜、シリコン塗化膜を順次成膜する工程、シリコン塗化膜上にレジストを塗布し、トレンチ形成のためのパターンを形成する工程、形成されたレジストパターンをマスクとして、シリコン塗化膜、パッド酸化膜を順次エッティングして、開口を形成する工程、該開口部内に露出したパッド酸化膜をウェットエッティングによりサイドエッティングし、更に開口部底に露出した半導体基板表面を等方性エッティングして半導体基板表面に浅い溝を形成する工程、シリコン基板を異方性エッティングして、深い溝を形成する工程、該溝内に低温のウェット酸化により熱酸化膜を形成する工程、前記溝を埋めるように全面に絶縁物を堆積する工程、前記シリコン塗化膜をストップとして絶縁物をCMP研磨して平坦化する工程とを有することを特徴とする半導体装置の製造方法である。

【0014】

【発明の実施の形態】本発明においては、トレンチ形成時に絶縁物ハードマスク開口面に露出する最下層のパッド酸化膜にサイドエッティングを施し、これをマスクにシリコン基板を等方性エッティングして浅い溝を形成しているため、パッド酸化膜のサイドエッティング量を調整することにより、容易にシリコン基板の等方性エッティングによるハードマスク下への入り込み量を調整することができる。

【0015】ここで、パッド酸化膜に施すサイドエッティングの開口端面からの距離(サイドエッティング量)は、あまり少なすぎると、シリコン基板の等方性エッティングによって形成する浅い溝のハードマスク下への入り込み量が少なくなってしまう。もちろん、等方性エッティングによるエッティング量を多くすれば入り込み量を確保することができるが、その分溝深さが深くなってしまう。サイドエッティング量としては、50~300Å、より好ましくは50~200Åである。

【0016】本発明においてハードマスク形成時の異方性エッチングでは、パッド酸化膜を完全に除去してシリコン基板を露出させても良いが、完全に除去せずにシリコン基板表面に薄いパッド酸化膜が残った状態のままであっても、パッド酸化膜のサイドエッチングの際のウェットエッチングで除去することができる。

【0017】続いて、シリコン基板の等方性エッチングにより浅い溝を形成するが、その際の等方性エッチングは、プラズマエッチング等のドライエッチング、アンモニア及び過酸化水素を用いたウェットエッチングのいずれの方法でも良い。又、溝の深さとしては100～500Å、より好ましくは100～300Åである。

【0018】シリコン基板へのトレンチ形成のための異方性エッチングは、ハードマスク形成時のレジストマスクをマスクとして行っても、レジストマスクを除去して窒化膜をマスクとして行っても良いが、好ましくは、窒化膜上に更にシリコン酸化膜を形成しておき、レジスト除去後にこのシリコン酸化膜をマスクにシリコン基板への異方性エッチングを行うのが望ましい。尚、異方性エッチング時のマスクとしてレジストマスクを使用する場合、その前に実施する等方性エッチングは、ウェットエッチングではレジストマスクが剥離してしまうため、ドライエッチングで行う。

【0019】このようにして、トレンチを形成した後、トレンチ内に露出したシリコン基板表面に低温のウェット酸化により熱酸化膜を形成する。ウェット酸化法としては従来公知のウェットO₂酸化やスチーム酸化を採用することができる。ウェット酸化温度としては、800～1000℃、より好ましくは800～900℃の温度範囲で行うのが望ましい。ここでは、熱酸化膜として100～500Å程度の膜厚に形成する。例えば、スチーム酸化では900℃で5分程度、800℃では10～20分程度行えばよい。

【0020】続いて、従来法と同様にトレンチ内にCVD酸化膜などの絶縁物を埋め込み、窒化膜をストップとしてCMP研磨して、絶縁物をトレンチ内に埋め込む。

【0021】本発明では、シリコン基板に等方性エッチングにより浅い溝を形成しているので、低温のウェット酸化によってもトレンチ縁部を丸くすることができ、しかもトレンチ底ではファセットの発生が防止できるので、転位ループが発生することもない。

【0022】

【実施例】以下、実施例により本発明を具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。

【0023】実施例1

図面を参照して本発明の第1の実施例を説明する。図1、2は、本発明の第1の実施例に係る半導体装置の製造方法の工程断面図である。

【0024】まず、Si基板1を900℃、H₂—O₂雰

囲気中で熱酸化して、200Å程度の厚みのパッド酸化膜2を形成し、その上に、シラン及びアンモニアを原料ガスとして、700～800℃程度の温度範囲でLPCVD法により窒化膜(Si₃N₄)膜3を1500Å程度の厚みに成膜する。更に、TEOSを原料として650～700℃の温度範囲でLPCVD法により500Å程度の膜厚のCVDシリコン酸化膜(SiO₂)膜4を形成する(図1(a))。

【0025】続いて、酸化膜4上にレジストを塗布し、フォトリソ工程により所定のパターンを形成してレジストマスク5とし、このレジストマスク5をマスクとして酸化膜4、窒化膜3、パッド酸化膜2をそれぞれ異方性ドライエッチングし、開口6を形成する(図1(b))。

【0026】O₂プラズマによりアッシングし、レジスト剥離液を用いてレジストマスク5及び開口6内壁に付着したエッチング残渣を除去した後、フッ酸系エッチング液を用いてパッド酸化膜2に、100Å程度のサイドエッチングを施す。続いて、アンモニア及び過酸化水素を用いたエッチング液により、開口内に露出しているシリコン基板1表面に浅い溝7を等方性エッチングにより形成する(図1(c))。ここでは、溝深さとして200Å程度の深さとする。続いて酸化膜4をマスクとして浅い溝7底に露出したSi基板1をドライエッチングし、トレンチ8を形成する(図1(d))。ここでは、トレンチ深さとして、2500Åのトレンチを形成した。

【0027】続いて、O₂雰囲気下、900℃でウェット熱酸化して、トレンチ内壁に400Å程度の熱酸化膜9を形成した(図2(a))。

【0028】このように形成したトレンチ内部に酸化膜を埋め込むため、まず、図2(b)に示すように全面にHDP CVD法により5500Å程度の厚みにCVD酸化膜10を成膜した。続いて、窒化膜3をCMPストップとして、CVD酸化膜10及び酸化膜4をCMP法により研磨し、図2(c)に示す構造を得た。更に窒化膜3を熱リン酸で除去し、パッド酸化膜2をフッ酸系溶液で除去することで、図2(d)に示すようなトレンチ素子分離が形成された。

【0029】

【発明の効果】以上説明したように、本発明によれば、パッド酸化膜をサイドエッチングし、更に、シリコン基板を等方性エッチングして浅い溝を形成した後、異方性エッチングでトレンチを形成し、このように形成されたトレンチ内をウェット酸化により熱酸化して熱酸化膜を形成しているので、高温のドライ酸化にみられるようなファセットによる転位ループの発生が抑えられ、電気特性の悪化を防止することができると同時に、ウェット酸化では従来十分丸めることができなかつたトレンチ縁部を丸めることができ、STIのハンプによるトランジス

タのリーク電流の増加およびオン・オフ特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例になる半導体装置の製造工程断面図である。

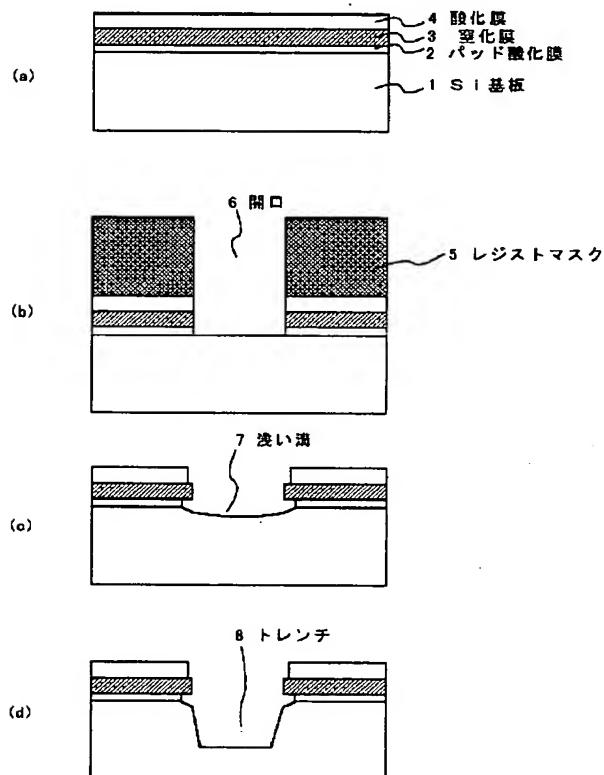
【図2】本発明の第1の実施例になる半導体装置の製造工程断面図である。

【図3】ドライ酸化による問題点を説明する概念図であり、(b)は、(a)の部分拡大図である。

【図4】ウェット酸化による問題点を説明する概念図である。

【図5】(a)はトレンチ縁部の近傍にサブチャネルが形成される様子を模式的に示す平面図であり、(b)はこのようなサブチャネルの形成によるハンプの発生を説明するグラフである。

【図1】



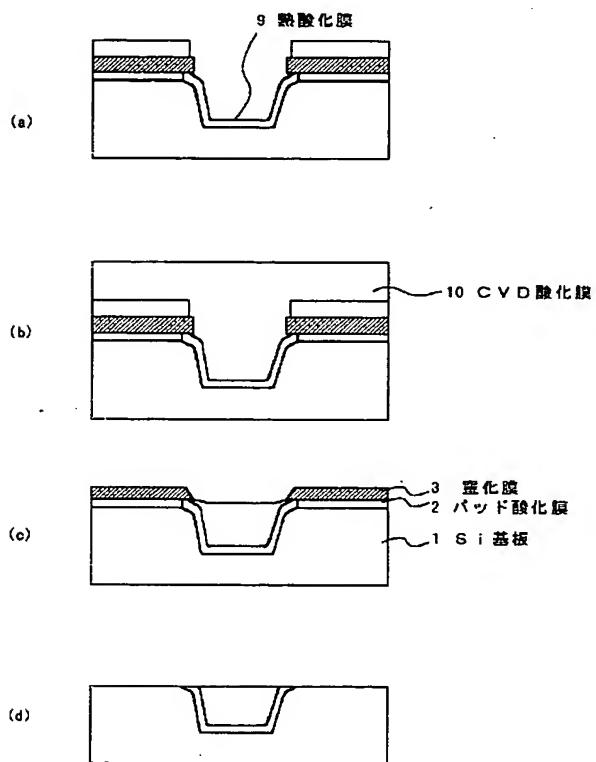
【図6】従来技術による半導体装置の製造工程断面図である。

【図7】従来技術による半導体装置の製造工程断面図である。

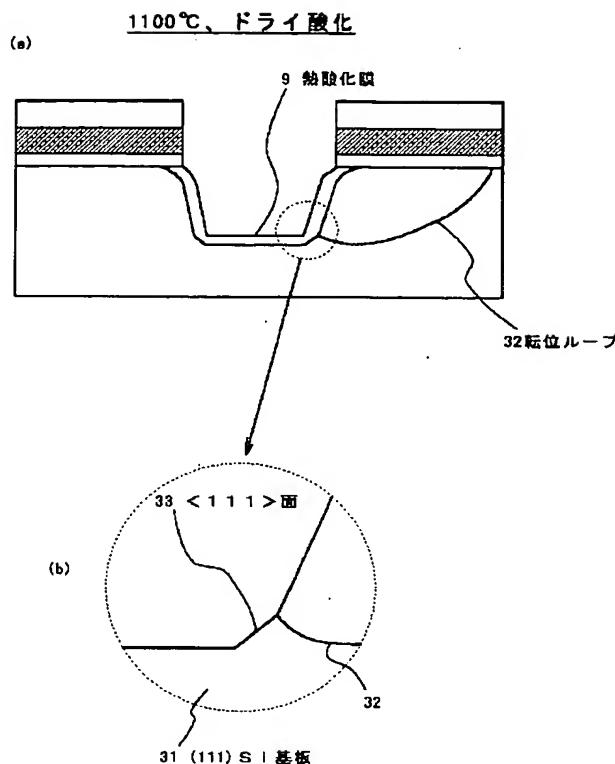
【符号の説明】

- 1 Si 基板
- 2 パッド酸化膜
- 3 窒化膜
- 4 酸化膜
- 5 レジストマスク
- 6 開口
- 7 浅い溝
- 8 トレンチ
- 9 热酸化膜
- 10 CVD酸化膜

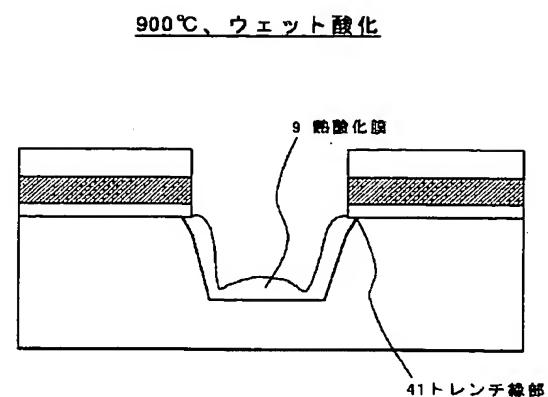
【図2】



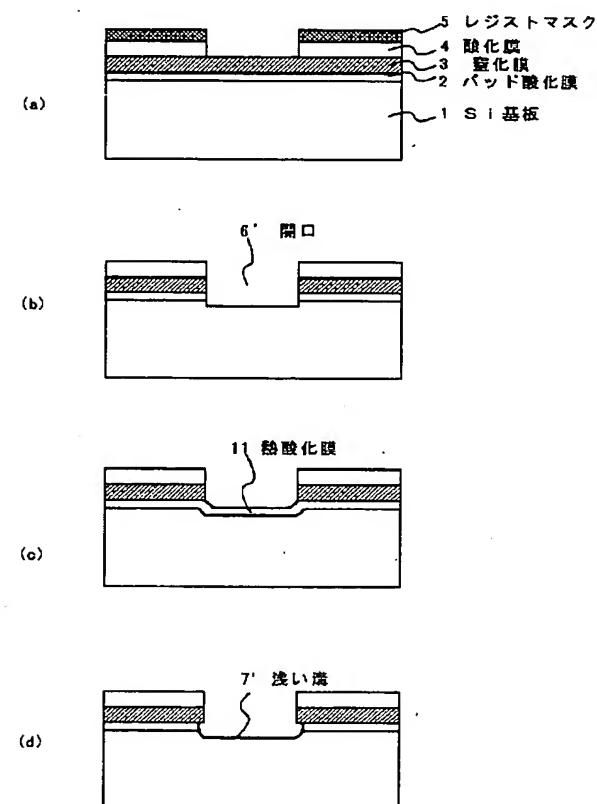
【図3】



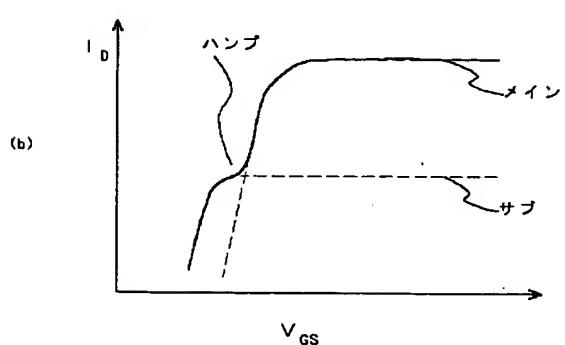
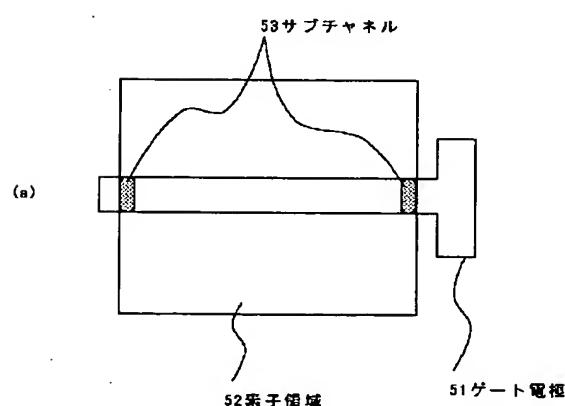
【図4】



【図6】



【図5】



【図7】

